

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-058960

(43)Date of publication of application : 14.03.1988

(51)Int.Cl.

H01L 27/10

H01L 21/76

H01L 27/04

(21)Application number : 61-204512

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 29.08.1986

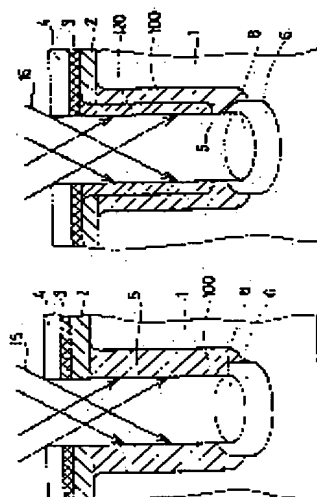
(72)Inventor : OKUMURA YOSHIKI

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PURPOSE: To make an inter-element isolation breakdown voltage big enough and to realize high integration density and large capacity by a method wherein one end of the third impurity diffusion layer of the second conductivity type which is formed on the surface of side walls near the bottom of a groove at a silicon substrate of the first conductivity type separates the space in relation to the first impurity diffusion layer of the first conductivity type which is formed at the bottom of the groove.

CONSTITUTION: After a thick silicon oxide film 8 and a p+ type impurity diffusion layer 6 have been formed, a p+ type impurity 15 is doped by ion implantation into the surface region at side walls of a groove 5 and the p+ type impurity is diffused by heat treatment so that a p+ type impurity diffusion layer 100 can be formed. Then, after an n+ type impurity 16 has been doped by ion implantation into the surface region of side walls of the groove 5 by making use of an oxide film 4 as a mask, this n+ type impurity is diffused by heat treatment so that an n+ type impurity diffusion layer 120 can be formed. During this process, an ion is implanted from the oblique direction and is heat-treated so that, at the side walls near the bottom of the groove 5, one end of the n+ type impurity diffusion layer 120 can separate the space in relation to the p+ type impurity diffusion layer 6. Through this constitution, it is possible to increase an inter-element isolation breakdown strength and to obtain a big electric charge storage capacity.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-58960

⑬ Int.Cl.⁴

H 01 L 27/10
21/76
27/04
27/10

識別記号

3 2 5

庁内整理番号

S-8624-5F
L-7131-5F
C-7514-5F
M-8624-5F

⑭ 公開 昭和63年(1988)3月14日

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 昭61-204512

⑰ 出 願 昭61(1986)8月29日

⑱ 発 明 者 奥 村 喜 紀 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1) 第1導電形のシリコン基板を備え、

前記シリコン基板には溝が掘られており、

前記溝の底部表面に形成され、素子間分離用の厚いシリコン酸化膜と、

前記厚いシリコン酸化膜のまわりに形成され、その不純物濃度が前記シリコン基板の不純物濃度より高い素子間分離用の第1導電形の第1不純物拡散層と、

前記溝の側壁部表面および前記シリコン基板表面に前記第1不純物拡散層と連なって形成され、その不純物濃度が前記シリコン基板の不純物濃度より高い第1導電形の第2不純物拡散層とを備え、

前記第2不純物拡散層表面に形成される第2導電形の第3不純物拡散層と、

前記厚いシリコン酸化膜表面、前記第1不純物拡散層表面、前記第2不純物拡散層表面および前

記第3不純物拡散層表面に形成される絶縁膜と、

前記絶縁膜表面に形成されるポリシリコン膜とを備えた半導体記憶装置。

(2) 前記絶縁膜は薄いシリコン酸化膜からなる特許請求の範囲第1項記載の半導体記憶装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は半導体記憶装置に関し、特に半導体記憶装置における溝掘型素子分離・キャパシタ構造の改良に関するものである。

〔従来の技術〕

第3A図～第3D図は、従来の溝掘型素子分離・キャパシタ構造を有する半導体記憶装置の製造方法を示す工程断面図である。

この製造方法について説明すると、まず、p形シリコン基板1の表面領域にp⁺形不純物をイオン注入し、この後、このp⁺形不純物を熱処理により拡散させてp⁺形不純物拡散層2を形成する。次に、p⁺形不純物拡散層2の表面領域にn⁺形不純物をイオン注入し、この後、このn⁺形不純

物を熱処理により拡散させて n^+ 形不純物拡散層3を形成する。次に、 n^+ 形不純物拡散層3表面にCVD法などにより酸化膜4を形成し、この後、写真製版とエッチングにより酸化膜4の所定部を選択的に除去する。次に、酸化膜4をマスクとして n^+ 形不純物拡散層3、 p^+ 形不純物拡散層2、 p 形シリコン基板1を異方性エッチングして溝5を掘る。次に、酸化膜4をマスクとし溝5の底部の表面領域に p^+ 形不純物をイオン注入してイオン注入層を形成する。次に、酸化膜4表面、溝5の側壁部表面およびイオン注入層表面にCVD法などにより窒化膜7を形成し、この後、周知の技術により窒化膜7のうち溝5の底部の中央領域上にある部分を選択的に除去する。次に、窒化膜7をマスクとしてイオン注入層の表面領域を選択的に熱酸化して素子間分離用の厚いシリコン酸化膜8を形成する。このとき、イオン注入層の p^+ 形不純物は拡散されて厚いシリコン酸化膜8のまわりに素子間分離用の p^+ 形不純物拡散層6が形成される(第3A図)。次に、窒化膜7を除去する。

とから構成される $p-n$ 接合とを形成することによって、半導体記憶装置の全電荷蓄積容量は、キャパシタの電荷蓄積容量と $p-n$ 接合の電荷蓄積容量との和になる。このため、半導体記憶装置の高集積化に伴いメモリセル面積が減少して平面的な電荷蓄積容量が減少しても、半導体記憶装置の全電荷蓄積容量としては溝5の側壁部での電気蓄積容量によって補充され、半導体記憶装置は大きな電荷蓄積容量を保持することができる。

〔発明が解決しようとする問題点〕

従来の半導体記憶装置の溝掘型素子分離・キャパシタ構造は以上のように構成されているので、素子間分離耐圧は n^+ 形不純物拡散層12間のパンチスルーと $p-n$ 接合のアバランシェ降伏とによって規定されるが、半導体記憶装置の高集積化に伴い平面的な素子間分離幅が短くなると、すなわち、溝5の側壁部表面に形成された n^+ 形不純物拡散層12の素子間分離領域を介しての距離が短くなると、パンチスルーの効果が大きくなり、この効果により素子間分離耐圧は著しく低下してし

次に、厚いシリコン酸化膜8表面、溝5の側壁部表面および酸化膜4表面にCVD法などにより p^+ 形不純物を含む絶縁膜9を形成し、この後、熱処理により絶縁膜9に含まれる p^+ 形不純物を溝5の側壁部の表面領域に拡散させて p^+ 形不純物拡散層10を形成する(第3B図)。次に、絶縁膜9を除去する。次に、 n^+ 形不純物11を溝5中へ気相拡散させて n^+ 形不純物拡散層12を形成する(第3C図)。次に、酸化膜4を除去する。次に、厚いシリコン酸化膜8の表面領域、 n^+ 形不純物拡散層12の表面領域および n^+ 形不純物拡散層3の表面領域を熱酸化して薄いシリコン酸化膜13を形成する。次に、薄いシリコン酸化膜13表面にCVD法などによりポリシリコン膜14を形成する(第3D図)。

このように、 p 形シリコン基板1の表面部と溝5の側壁部との両方に、 n^+ 形不純物拡散層3、12と薄いシリコン酸化膜13とポリシリコン膜14とから構成されるキャパシタと、 p^+ 形不純物拡散層2、10と n^+ 形不純物拡散層3、12

まう。このため、溝掘型素子分離・キャパシタ構造において、十分な素子間分離耐圧を確保しつつ、素子間分離幅を縮小していった半導体記憶装置の高集積化・大容量化を進めることが困難になるという問題点があった。

この発明は上記のような問題点を解消するためになされるもので、素子間分離幅を縮小していったも、十分な素子間分離耐圧を確保しつつ高集積化・大容量化を進めることができる半導体記憶装置を得ることを目的とする。

〔問題点を解決するための手段〕

この発明に係る半導体記憶装置は、第1導電形のシリコン基板に掘られた溝の底部表面に素子間分離用の厚いシリコン酸化膜を形成し、厚いシリコン酸化膜のまわりに、その不純物濃度がシリコン基板の不純物濃度より高い素子間分離用の第1導電形の第1不純物拡散層を形成し、溝の側壁部表面およびシリコン基板表面に、その不純物濃度がシリコン基板の不純物濃度より高い第1導電形の第2不純物拡散層を第1不純物拡散層と連なっ

て形成し、第2不純物拡散層表面に第2導電形の第3不純物拡散層を形成し、厚いシリコン酸化膜表面、第1不純物拡散層表面、第2不純物拡散層表面および第3不純物拡散層表面に絶縁膜を形成し、絶縁膜表面にポリシリコン膜を形成したものである。

【作用】

この発明においては、溝の底部近傍のその側壁部において、溝の側壁部表面に形成され電荷蓄積領域となる第2導電形の第3不純物拡散層の一方端部が、溝の底部に形成される素子間分離用の第1導電形の第1不純物拡散層と間隔を隔てるので、半導体記憶装置の高集積化に伴い素子間分離幅が小さくなくても、第3不純物拡散層の素子間分離領域を介しての距離が実効的に長くなり、パンチスルーによる素子間分離耐圧の低下を抑制することができる。

【実施例】

以下、この発明の実施例を図について説明する。なお、この実施例の説明において、従来の技術の

と間隔を隔てるように斜めイオン注入、熱処理を行なう(第1C図)。次に、酸化膜4を除去する。次に、厚いシリコン酸化膜8の表面領域、溝5の側壁部の表面領域および n^+ 形不純物拡散層3の表面領域を熱酸化して薄いシリコン酸化膜13を形成する。次に、薄いシリコン酸化膜13表面にCVD法などによりポリシリコン膜14を形成する(第1D図)。

このように、溝5の底部近傍のその側壁部において、電荷蓄積領域となる n^+ 形不純物拡散層120を、その一方端部が素子間分離用の p^+ 形不純物拡散層6と間隔を隔てるように形成することによって、半導体記憶装置の高集積化によりメモリセル面積が減少して平面的な素子間分離幅が短くなくても、 n^+ 形不純物拡散層120と p^+ 形不純物拡散層6が間隔を隔てている分だけ、 n^+ 形不純物拡散層120の素子分離領域を介しての距離が長くなって実効的な素子分離幅が立体的に長くなり、パンチスルーによる素子間分離耐圧の著しい低下を抑制することができる。

説明と重複する部分については適宜その説明を省略する。

第1A図～第1D図は、この発明の一実施例である、溝型素子分離・キャパシタ構造を有する半導体記憶装置の製造方法を示す工程断面図である。

この製造方法について説明すると、第1A図の製造工程は従来の製造工程と同じであり、厚いシリコン酸化膜8、 p^+ 形不純物拡散層6を形成した後、窒化膜7を除去する。次に、酸化膜4をマスクとして p^+ 形不純物15を溝5の側壁部の表面領域に斜めイオン注入し、この後、この p^+ 形不純物を熱処理により拡散させて p^+ 形不純物拡散層100を形成する(第1B図)。次に、酸化膜4をマスクとして n^+ 形不純物16を溝5の側壁部の表面領域に斜めイオン注入し、この後、この n^+ 形不純物を熱処理により拡散させて n^+ 形不純物拡散層120を形成する。このとき、溝5の底部近傍のその側壁部において、 n^+ 形不純物拡散層120の一方端部が p^+ 形不純物拡散層6

また、このように、 p 形シリコン基板1の表面部と溝5の側壁部との両方に、 n^+ 形不純物拡散層3、120と薄いシリコン酸化膜13とポリシリコン膜14とから構成されるキャパシタと、 p^+ 形不純物拡散層2、100と n^+ 形不純物拡散層3、120とから構成される pn 接合とを形成することによって、半導体記憶装置の全電荷蓄積容量は、キャパシタの電荷蓄積容量と pn 接合の電荷蓄積容量との和となる。このため、半導体記憶装置の高集積化に伴いメモリセル面積が減少して平面的な電荷蓄積容量が減少しても、半導体記憶装置の全電荷蓄積容量としては溝5の側壁部での電荷蓄積容量によって補充され、半導体記憶装置は大きな電荷蓄積容量を保持することができる。

このため、高い素子間分離耐圧と大きな電荷蓄積容量を有する半導体記憶装置を得ることができる。

上記実施例では、斜めイオン注入により、電荷蓄積領域となる n^+ 形不純物拡散層120と素子間分離用の p^+ 形不純物拡散層6とが接触しない

ような構造を形成したが、このような構造を拡散によっても形成することができる。

第2 A図～第2 F図は、この発明の他の実施例である、溝掘型素子分離・キャパシタ構造を有する半導体記憶装置の製造方法を示す工程断面図である。

この製造方法について説明すると、第2 A図および第2 B図の各製造工程は、従来の製造工程と同じであり、 p^+ 形不純物拡散層10を形成した後、絶縁膜9を除去する。次に、厚いシリコン酸化膜8表面、溝5の側壁部表面および酸化膜4表面にCVD法などにより絶縁膜17を形成する。次に、絶縁膜17表面にレジスト18を塗布してこの絶縁膜17表面を平坦化する(第2 C図)。次に、レジスト18、絶縁膜17をエッチバックして溝5の底部に所定膜厚の絶縁膜170を残す(第2 D図)。次に、溝5および酸化膜4表面にCVD法などにより n^+ 形不純物を含む酸化膜19を形成し、この後、熱処理により酸化膜19に含まれる n^+ 形不純物を溝5の側壁部の表面領域

に拡散させて n^+ 形不純物拡散層120を形成する(第2 E図)。次に、酸化膜19、酸化膜4、絶縁膜170を除去する。次に、厚いシリコン酸化膜8の表面領域、溝5の側壁部の表面領域および n^+ 形不純物拡散層3の表面領域を熱酸化して薄いシリコン酸化膜13を形成する。次に、薄いシリコン酸化膜13表面にCVD法などによりポリシリコン膜14を形成する。

このように、溝5の底部に残された絶縁膜170により、 n^+ 形不純物拡散層120を、その一方端部が p^+ 形不純物拡散層6と間隔を隔てるように形成するので、第1 D図の場合と同様、実効的な素子分離幅を長くし、パンチスルーによる素子間分離耐圧の著しい低下を抑制することができる。

なお、上記実施例では、キャパシタ絶縁膜が薄いシリコン酸化膜からなる場合について示したが、キャパシタ絶縁膜として窒化膜など他の絶縁膜を用いてもよい。

また、上記実施例では、斜めイオン注入や溝の

ができる。

4. 図面の簡単な説明

第1 A図～第1 D図は、この発明の一実施例である、溝掘型素子分離・キャパシタ構造を有する半導体記憶装置の製造方法を示す工程断面図である。

第2 A図～第2 F図は、この発明の他の実施例である、溝掘型素子分離・キャパシタ構造を有する半導体記憶装置の製造方法を示す工程断面図である。

第3 A図～第3 D図は、従来の溝掘型素子分離・キャパシタ構造を有する半導体記憶装置の製造方法を示す工程断面図である。

図において、1は p 形シリコン基板、2、6、100は p^+ 形不純物拡散層、3、120は n^+ 形不純物拡散層、4、19は酸化膜、5は溝、7は窒化膜、8は厚いシリコン酸化膜、9、17、170は絶縁膜、13は薄いシリコン酸化膜、14はポリシリコン膜、15は p^+ 形不純物、16は n^+ 形不純物、18はレジストである。

底部に絶縁膜の一部を残すことによって、 n^+ 形不純物拡散層120の一方端部が p^+ 形不純物拡散層6と間隔を隔てるようにしたが、 n^+ 形不純物拡散層120の一方端部が p^+ 形不純物拡散層6と間隔を隔てるようにできるならばどのような製造方法でもよいことは言うまでもない。

また、上記実施例では、 p 形シリコン基板を用いる半導体記憶装置の溝掘型素子分離・キャパシタ構造について示したが、この発明は、 n 形シリコン基板を用いる半導体記憶装置の溝掘型素子分離・キャパシタ構造にも適用することができる。

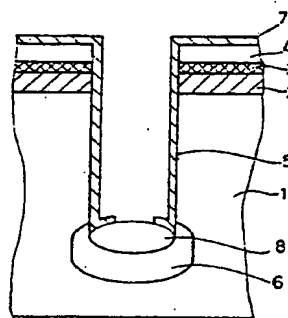
【発明の効果】

以上のようにこの発明によれば、第1導電形のシリコン基板に掘られた溝の底部近傍のその側壁部において、この溝の側壁部表面に形成され電荷蓄積領域となる第2導電形の第3不純物拡散層の一方端部が、溝の底部に形成される素子間分離用の第1導電形の第1不純物拡散層と間隔を隔てるようにしたので、素子間分離耐圧が十分高く、しかも高集積・大容量の半導体記憶装置を得ること

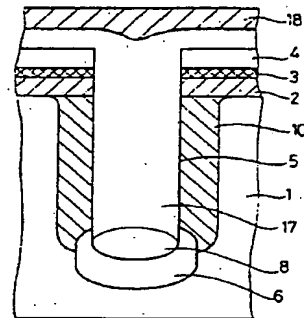
なお、各図中同一符号は同一または相当部分を
示す。

代理人 大岩 増 雄

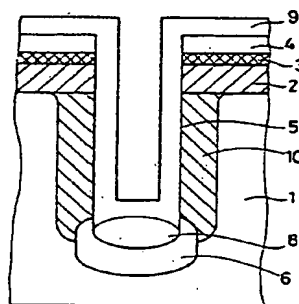
第2A図



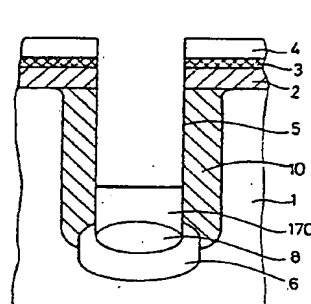
第2C図



第2B図



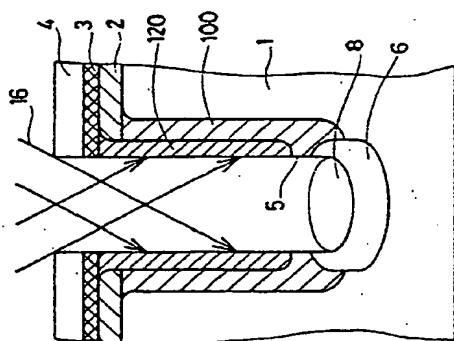
第2D図



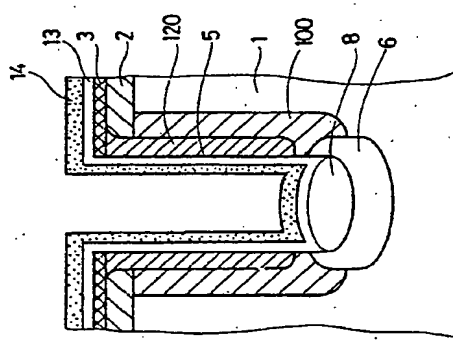
10: P⁺形不純物拡散層
18: レジスト

9, 17, 170: 絶縁膜

第1C図

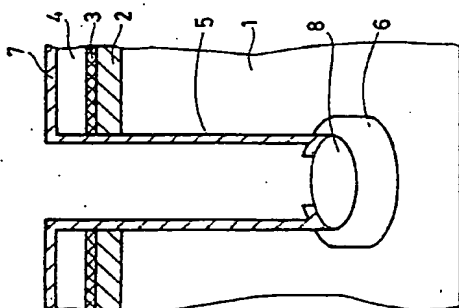


第1D図

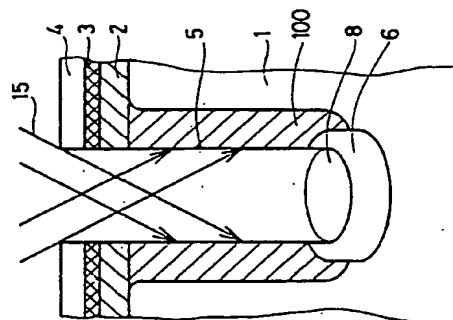


8: 厚いシリコン酸化膜
13: 薄いシリコン酸化膜
14: ポリシリコン
15: P⁺形不純物
16: N⁺形不純物

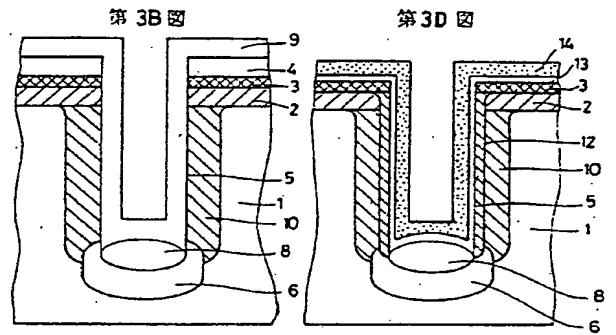
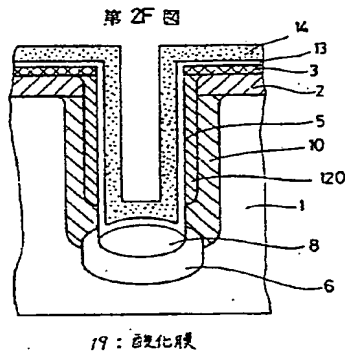
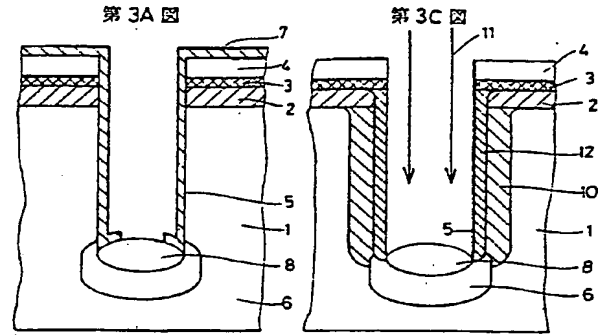
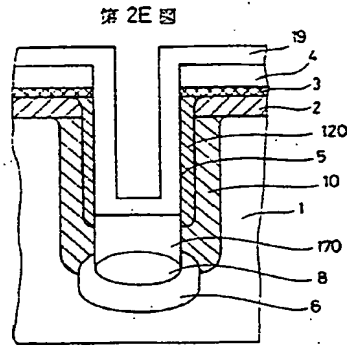
第1A図



第1B図



1: P形シリコン基板
2, 6, 100: P⁺形不純物拡散層
3, 120: N⁺形不純物拡散層
4: 酸化膜
5: 酸化膜
7: 酸化膜



手続補正書(自発)

昭和62年6月22日

特許庁長官殿

1. 事件の表示 特願昭61-204512号

2. 発明の名称

半導体記憶装置

3. 補正をする者

事件との関係 特許出願人
住所 東京都千代田区丸の内二丁目2番3号
名称 (601)三菱電機株式会社
代表者 志岐守哉

4. 代理人

住所 東京都千代田区丸の内二丁目2番3号
氏名 (7375)弁理士 大岩増雄
(連絡先03(213)3421特許部)

5. 補正の対称

明細書の特許請求の範囲の欄および発明の詳細な説明の欄

6. 補正の内容

(1) 明細書の特許請求の範囲を別紙のとおり。

(2) 明細書第5頁第7行ないし第8行の「電気蓄積容量」を「電荷蓄積容量」に訂正する。

(3) 明細書第7頁第1行ないし第2行の「第2不純物拡散層表面に第2導電形の第3不純物拡散層を形成し、」を「第2不純物拡散層表面に、その一方端部が第1不純物拡散層と溝の底部近傍のその側壁部において間隔を隔てる第2導電形の第3不純物拡散層を形成し、」に訂正する。

以上



2. 特許請求の範囲

(1) 第1導電形のシリコン基板を備え、

前記シリコン基板には溝が掘られており、

前記溝の底部表面に形成される素子間分離用の
厚いシリコン酸化膜と、

前記厚いシリコン酸化膜のまわりに形成され、
その不純物濃度が前記シリコン基板の不純物濃度
より高い素子間分離用の第1導電形の第1不純物
拡散層と、

前記溝の側壁部表面および前記シリコン基板表
面に前記第1不純物拡散層と連なって形成され、
その不純物濃度が前記シリコン基板の不純物濃度
より高い第1導電形の第2不純物拡散層と、

前記第2不純物拡散層表面に形成され、その一
方端部が前記第1不純物拡散層と前記溝の底部近
傍のその側壁部において間隔を隔てる第2導電形
の第3不純物拡散層と、

前記厚いシリコン酸化膜表面、前記第1不純物
拡散層表面、前記第2不純物拡散層表面および前
記第3不純物拡散層表面に形成される絶縁膜と、

前記絶縁膜表面に形成されるポリシリコン膜と
を備えた半導体記憶装置。

(2) 前記絶縁膜は薄いシリコン酸化膜から
なる特許請求の範囲第1項記載の半導体記憶装置。